

Netztrigger

Funktion

Der Netztrigger synchronisiert einen Takt mit der Netzspannung.

Datum

Beginn des Projekts: May 2013

Status

Platinenlayout vorhanden



Die ursprüngliche Version der Platine wies eine mit Masse kurzgeschlossene VCC-Leitung auf. Dies wurde im Layout behoben. Allerdings wurde das korrigierte Layout bisher weder bestellt noch getestet.

Anwender

AG S.Ospelkaus in Verbindung mit [Frequenzteiler](#).

Schaltungsprinzip

Der Netztrigger besteht aus zwei Teilschaltungen (siehe auch [Skizze](#)).

1. *Netztrigger-Box* liefert das 50Hz Signal (in TTL) mit Flanken bei Nulldurchgängen der Netzspannung.
2. *Gate-Box* synchronisiert externenen Takt (CLK-IN) mit dem Trigger-Signal und liefert den Takt (CLK-OUT) für die Experimentsteuerung.

Das Herzstück der Gate-Box sind zwei JK-Flip-Flops (74HC112) (siehe [Schaltplan](#)). Der erste Flip-Flop (JK-1) erhält als Taktpuls das 50Hz Signal und triggert wegen des vorgeschalteten NANDs auf eine *steigende* Flanke des 50Hz Signals ab; der zweite Flip-Flop (JK-2) erhält als Taktpuls CLK-IN (und triggert auf eine *fallende* Flanke). Das CLK-OUT Signal ist durch zwei Eingänge \$A,B\$ eines NAND (74HC00) bestimmt, wobei \$A=CLK-IN\$ und \$B=Q_2\$ (\$=Q\$-Ausgang von JK-2). Das Verhalten der Flip-Flops ist durch folgende Tabelle gegeben (\$H=\$high, \$L=\$low).

Input \$t_n\$	Output \$t_{n+1}\$
---------------	--------------------

$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	J	K	Q	$\overline{\text{Q}}$
L	H	x	x	H	L
H	L	x	x	L	H
L	L	x	x	*	*
H	H	L	L	Q_n	$\overline{Q}_n$
H	H	H	L	H	L
H	H	L	H	L	H
H	H	H	H	$\overline{Q}_n$	Q_n

Die Input-Zustände der Flip-Flops JK-1 bzw. JK-2 seien mit $\overline{\text{PRE}}$, $\overline{\text{CLR}}$, J, K_i und der Output mit $(Q, \overline{Q})_i$ mit $i=1,2$ bezeichnet. Dann gilt grundsätzlich $\overline{\text{PRE}}=\text{H}$, weil $\overline{\text{PRE}}$ bei beiden Flip-Flops nicht angeschlossen und vom Bauteil intern auf high gezogen wird. Außerdem ist $K_1=\text{L}$, $\overline{Q}_2=J_1$ und $Q_1=J_2$, sowie $\text{ARM}=K_2$ und $\overline{\text{CLR}}=\text{H}$.

Ausgehend vom JK-2 soll nun das Zusammenspiel der Flip-Flops erläutert werden, wenn ein ARM-Signal auftritt.

- Zunächst sei $\text{ARM}=K_2=\text{L}$. Dann ist bei JK-2 der Input $(\text{H}, \text{H}, \text{H}, \text{L})_2$ und der Output $(\text{H}, \text{L})_2$. Weil $K_2=\text{L}$, ist der Input (der mit dem 50Hz Takt der Netzspannung abgefragt wird) von JK-1 $(\text{H}, \text{L}, \text{L}, \text{L})_1$ und der Output $(\text{H}, \text{L})_1$. Damit ist der Input von JK-II unverändert und das CLK-IN-Signal geht durch den NAND (weil der Eingang $B=\text{H}$).
- Geht nun der ARM auf high, $K_2=\text{H}$, so hat JK-2 den Input $(\text{H}, \text{H}, \text{H}, \text{H})_2$ und der Output ist ein *flip-flop*, d.h. $(Q, \overline{Q})_2=(\text{L}, \text{H})_2$. Dieser flip-flop ist entscheidend, denn wegen $Q_2=\text{L}$ lässt der NAND kein Signal mehr durch. Erst wenn die nächste steigende Flanke des Triggersignals den Input von JK-1 abfragt, dann gegeben durch $(\text{H}, \text{H}, \text{H}, \text{L})_1$, ist der Output $(\text{H}, \text{L})_1$, der mit der nächsten fallenden Flanke des CLK-IN-Signals den Input für JK-2 $(\text{H}, \text{H}, \text{H}, \text{H})_2$ erzeugt. Dann ist der Output von JK-2 ein *flip flop* $(Q, \overline{Q})_2=(\text{H}, \text{L})_2$ und der NAND schaltet durch.

Somit wartet die Schaltung ab einem durch den ARM-Eingang festgesetzten Zeitpunkt auf eine steigende Flanke der 50Hz der Netzspannung, bis der Takt von CLK-IN wieder weitergeleitet wird. Dies ist die gewünschte Synchronisation.

Schaltplan

- Der [Schaltplan](#) im PDF-Format
- Die Source des Schaltplans ist auf der [Download-Seite des Wiki](#) abgelegt.
- Eine [Skizze](#) der Schaltung mit kurzer Erklärung im PDF-Format.

Datenblätter

- [74HC112 JK-Flip-Flop](#)
- [PC900 Optokoppler](#)
- [74HC00 NAND](#)

Layout

- Abmessungen der Leiterplatte: 50mm x 70mm
- Der Bestückungsdruck: [netztrigger_layout_2013-06-04.pdf](#)
- Die [gezippte Gerberdateien](#) für die Bestellung der Platine
- Die Source des Layouts im pcb-Format liegt auf der [Download-Seite des Wiki](#).

Test

Zunächst bietet sich ein Test der wichtigsten Bauteile an (kein ARM-Signal): * An Pin 4 des PC900-Optokopplers sollte ein 50Hz TTL-Signal liegen. * Am Ausgang CLK-Out sollte exakt das Eingangssignal CLK-In liegen. Im nächsten Schritt wird das Triggerverhalten überprüft. Dazu benötigt man vier Oszilloskop-Eingänge (zur Darstellung von 50Hz-TTL-Signal (Pin4 Optokoppler), CLK-IN (1.Funktionsgenerator), ARM-Signal (2.Funktionsgenerator) und CLK-OUT) und zwei Funktionsgeneratoren. An CLK-IN wird ein Rechteckssignal (5Vpp) beliebiger Frequenz (z.B. 100kHz) angeschlossen und das ARM-Signal ist ein einzelner Puls (mit 5Vpp).

Das CLK-OUT-Signal sollte nun das beschriebene "Warten" auf die nächste steigende Flanke des Triggersignals ab dem Hochschalten des ARM-Signals aufweisen. Weil JK-II auf eine fallende Flanke des CLK-IN-Signals reagiert, wandert, nachdem der ARM high ist, ein einzelner Peak des CLK-IN Signals unter dem ARM-Signal durch.

Kalkulation

was	wieviel	E-Preis	Preis	Anmerkung
Leiterplatte	1x	47.00 €	47.00 €	1/2 von 97€ Basista-Prototyp
Gehäuse	1x	5.70 €	5.70 €	Hammond PSLA
BNC-Buchse	3x	2.50 €	7.50 €	weiß, Winkel
XLR-Buchse	1x	1.30 €	1.30 €	Mit Platinensteckverbinder
R, C, Flipflop	1x	3.00 €	3.00 €	
Bestückung			0.00 €	selbst
Verschnitt			10.00 €	
Summe			71.50 €	

Plus einige Arbeitszeit für die Bestückung und für die Bearbeitung des Gehäuses.

From:
<https://elektroniq.iqo.uni-hannover.de/> - **ElektronIQ**

Permanent link:
<https://elektroniq.iqo.uni-hannover.de/doku.php?id=eigenbau:netztrigger:start&rev=1610409206>

Last update: **2021/01/11 23:53**

