

Frequenzteiler

Funktion

Teilt 10MHz auf 100kHz runter.

Performance

100kHz Ausgangssignal hat Peaks von 100ns Breite.

Datum

Beginn des Projekts: June 2013

Status

Schaltplan zum Nachbau auf Lochraster-Platte vorhanden.

Anwender

AG S.Ospelkaus in Verbindung mit [Netztrigger](#).

Schaltungsprinzip

Das Herunterteilen des Eingangssignals wird mittels des Bauteils [ICS674-01](#) umgesetzt. Der ICS674-01 besteht aus einem 7-bit Teiler A und einem 9-bit Teiler B, die frei konfigurierbar sind. Das Teilungsverhältnis ist durch die Beschaltung der einzelnen Pins auf Ground bzw. VCC (wobei nicht beschaltete Pins intern auf VCC gezogen werden) festgelegt.

Für das in dieser Schaltung gewünschte Verhältnis 1/100 reicht Teiler A aus. Das Verhältnis ist gegeben durch

Divide A = DAW + 2 wobei $DAW = A_0 A_1 A_2 A_3 A_4 A_5 A_6$ mit $A_i \in \{0,1\}$ eine Binärzahl ist.

Damit das Teilungsverhältnis Divide A = 100 ist, muss also $DAW = 98 = 0\ 1\ 0\ 0\ 0\ 1\ 1$ sein.

Schaltplan

- Der [Schaltplan](#) im PDF-Format
- Die Source des Schaltplans ist auf der [Download-Seite des Wiki](#) abgelegt.

Test

Ist ein 10MHz Eingangssignal angeschlossen, so liegt am Ausgang ein 100kHz Signal mit sharfen Peaks von 100ns Breite an.

From:
<https://elektroniq.iqo.uni-hannover.de/> - ElektronIQ

Permanent link:
https://elektroniq.iqo.uni-hannover.de/doku.php?id=eigenbau:frequenzteiler_10_mhz_zu_100_khz:start

Last update: **2017/04/18 11:09**

